

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001088345
PUBLICATION DATE : 03-04-01

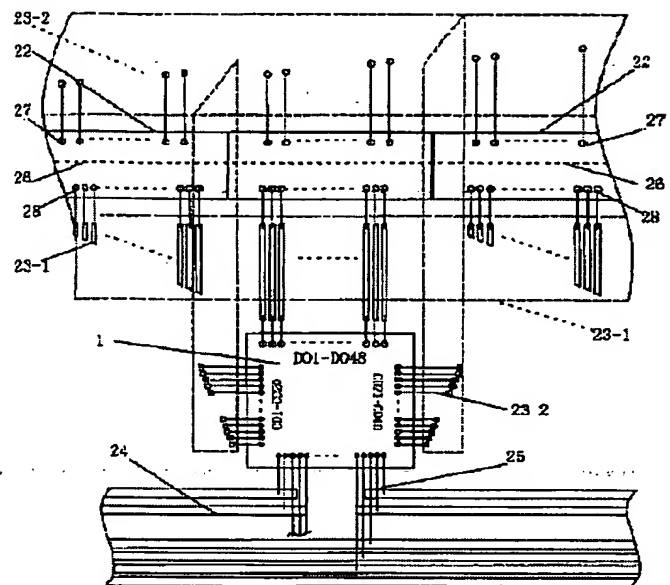
APPLICATION DATE : 20-09-99
APPLICATION NUMBER : 11265904

APPLICANT : TOTTORI SANYO ELECTRIC CO LTD;

INVENTOR : BIZEN MITSUHIRO;

INT.CL. : B41J 2/44 B41J 2/45 B41J 2/455
H01L 33/00 H04N 1/036

TITLE : OPTICAL PRINTING HEAD



ABSTRACT : PROBLEM TO BE SOLVED: To provide an optical printing head equipped with time sharing drive type light emitting elements and a general-purpose driving IC for driving them.

SOLUTION: Light emitting elements 22 equipped with (n) individual electrodes 28, (p) common electrodes 27 and a plurality (n×p) of light emitting parts 26 selected by them and a driving IC 1 equipped with (n) element driving output terminals D01-D048 and (m) group selecting terminals CD1-CD40 connected to the individual electrodes and the common electrodes are provided and a plurality (q) of the light emitting elements 22 are provided per one driving IC and the number (q) is determined by the number (p) of the common electrodes 27 of the light emitting elements 22 and the number (m) of the group selecting terminals CD of the driving IC 1.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-88345

(P2001-88345A)

(43) 公開日 平成13年4月3日 (2001.4.3)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
B 4 1 J	2/44	H 0 1 L 33/00	J 2 C 1 6 2
	2/45	H 0 4 N 1/036	A 5 C 0 5 1
	2/455	B 4 1 J 3/21	L 5 F 0 4 1
H 0 1 L	33/00		
H 0 4 N	1/036		

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平11-265904

(22) 出願日 平成11年9月20日 (1999.9.20)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72) 発明者 尾前 充弘

鳥取県鳥取市南吉方3丁目201番地 鳥取

三洋電機株式会社内

(74) 代理人 100109368

弁理士 稲村 悦男 (外1名)

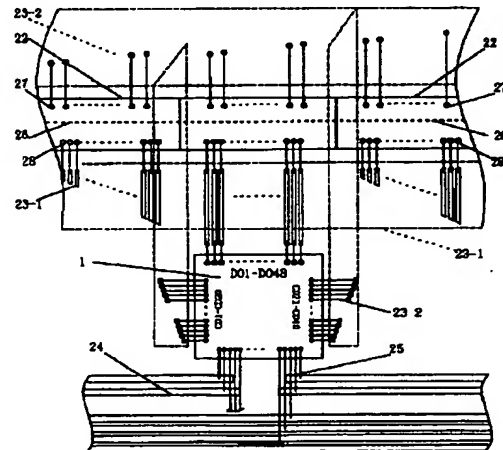
最終頁に続く

(54) 【発明の名称】 光プリントヘッド

(57) 【要約】

【目的】 時分割駆動型の発光素子とそれを駆動する汎用性のある駆動用 I C を備える光プリントヘッドを提供すること。

【構成】 n 個の個別電極 2 8 と p 個の共通電極 2 7 とこれらによって選択的される複数 ($n \times p$) の発光部 2 6 とを備える発光素子 2 2 と、個別電極並びに共通電極に接続される n 個の素子駆動用出力端子 D 0 1 ~ D 0 4 8 並びに m 個の群選択用端子 C D 1 ~ C D 4 0 を備えた駆動用の I C 1 とを備え、前記発光素子 2 2 は、1 つの前記駆動用 I C に対して複数 (q) 設けられ、その数 (q) は、発光素子 2 2 の共通電極 2 7 の数 (p) と前記駆動用 I C 1 の群選択用端子 C D の数 (m) で定められることを特徴とする。



【特許請求の範囲】

【請求項1】 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の IC とを備え、前記発光素子は、1つの前記駆動用 IC に対して複数 (q) 設けられ、その数 (q) は、発光素子の共通電極の数 (p) と前記駆動用 IC の群選択用端子の数 (m) で定められることを特徴とする光プリントヘッド。

【請求項2】 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の IC を備え、1つの前記駆動用 IC とこれに接続した複数 (q) の前記発光素子を1つの単位とするブロックを基板上に複数配置したことを特徴とする光プリントヘッド。

【請求項3】 前記発光素子は、個別電極と共通電極を発光部の両側に区分けして配置していることを特徴とする請求項1あるいは2記載の光プリントヘッド。

【請求項4】 前記駆動用 IC は、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求項1あるいは2記載の光プリントヘッド。

【請求項5】 前記駆動用 IC は印字用データを隣接駆動用 IC 間で授受するように一部の端子がカスケード接続されていることを特徴とする請求項2記載の光プリントヘッド。

【請求項6】 基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用 IC と、前記駆動用 IC とそれに対応した所定数の発光素子間を共通接続する第1の配線と、前記駆動用 IC とそれに対応した所定数の発光素子間を個別接続する第2の配線とを備えたことを特徴とする光プリントヘッド。

【請求項7】 前記発光素子数よりも少数の駆動用 IC は、同一構造の駆動用 IC を複数配置したものであることを特徴とする請求項6記載の光プリントヘッド。

【請求項8】 前記発光素子は、発光部が複数 (n 個) 単位に複数 (p 回) に分けて時分割駆動される発光素子であることを特徴とする請求項6記載の光プリントヘッド。

【請求項9】 前記駆動用 IC は、所定数 (q) の発光素子の全ての発光部を複数 (n 個) 単位に複数 (m) 回に分けて時分割駆動する IC であることを特徴とする請求項6記載の光プリントヘッド。

【請求項10】 前記第1の配線と第2の配線の前記発光素子の配列長と同程度の長さを有する配線は、前記発光素子の配列の両側に第1の配線と第2の配線とで区分けして配置していることを特徴とする請求項6記載の光プリン

トヘッド。

【請求項11】 基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用 IC と、前記駆動用 IC とそれに対応した所定数の発光素子間を接続する第1の配線と第2の配線を備え、第1の配線と第2の配線を前記発光素子の列の両側に区分けして配置するとともに、この区分けした配線の内の総幅の狭い方の配線と同じ側に前記駆動用 IC を配置したことを特徴とする光プリントヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、静電写真用プリンタ等の記録ヘッドに用いられる光プリントヘッドに係わり、特に、素子内で時分割駆動を行うことができるように構成された発光素子を駆動するための駆動用 IC を用いた光プリントヘッドに関する。

【0002】

【従来の技術】 従来の光プリントヘッドにおいて用いられる発光素子 (アレイ) は、実公平6-48887号公報に示すように、複数の発光部に1対1で対応させて個別電極を素子表面側に設け、各発光部に共通の電極を素子裏側に設けて構成しているので、1つの素子内で時分割駆動することができなかった。時分割駆動することができないので、個別電極を発光部と同数設ける必要があり、発光部の高密度化が進むと、それに対応して個別電極も高密度配置になる結果、駆動用 IC との接続が困難になるという問題があった。

【0003】 このような問題を解決するために、特開平6-163980号公報においては、素子内での時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部を2~3の群 p に分け、群毎の発光部に接続するように複数本の共通電極を設け、異なる群に属する p 個の発光部に接続した個別電極を n 個設けることによって $p \times n$ 個の発光部を備える発光素子が提案されている。この発光素子によれば、 p 本の共通電極を時分割的に選択することによって個別電極の数を従来の $1/p$ に削減することができるので、駆動用 IC との接続を容易にすることができる。

【0004】 このような発光素子を従来と同様の駆動用 IC を用いて時分割駆動することも可能であるが、この場合、共通電極を時分割的に選択するための駆動回路を別途必要とするので、時分割駆動に適した汎用性のある駆動用 IC の開発が望まれている。

【0005】 そこで本願出願人は、上記の点を考慮した駆動用 IC について、特開平10-226102号公報にて提案しているが、この公報に示された構成は、時分割駆動のためにデータの入力順序を変更する処理を必要とするので、データ処理が複雑化するという問題が有った。また、発光素子と同数の駆動用 IC を必要とするの

で、駆動用 IC の数が増加するという問題も有している。

【0006】

【発明が解決しようとする課題】そこで本発明は、上記のような素子内時分割駆動に対応した発光素子とそれを駆動するに適した汎用性のある駆動用 IC を備える新規な光プリントヘッドを提供することを課題の 1 つとする。また、光プリントヘッドの部品点数や組立て工数の削減を図ることを課題の 1 つとする。そしてまた、高解像度の光プリントヘッドを提供することを課題の 1 つとする。そしてまた、駆動用 IC を解像度の相違する光プリントに転用して部品の共通化を図ることを課題の 1 つとする。

【0007】

【課題を解決するための手段】本発明の光プリントヘッドは請求項 1 に記載のように、 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の IC とを備え、前記発光素子は、1 つの前記駆動用 IC に対して複数 (q) 設けられ、その数 (q) は、発光素子の共通電極の数 (p) と前記駆動用 IC の群選択用端子の数 (m) で定められることを特徴とする。

【0008】本発明の光プリントヘッドは請求項 2 に記載のように、 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の IC を備え、1 つの前記駆動用 IC とこれに接続した複数 (q) の前記発光素子を 1 つの単位とするブロックを基板上に複数配置したことを特徴とする。

【0009】本発明の光プリントヘッドは請求項 3 に記載のように、前記発光素子は、個別電極と共通電極を発光部の両側に区分けして配置していることを特徴とする。

【0010】本発明の光プリントヘッドは請求項 4 に記載のように、前記駆動用 IC は、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする。

【0011】本発明の光プリントヘッドは請求項 5 に記載のように、前記駆動用 IC は印字用データを隣接駆動用 IC 間で授受するように一部の端子がカスケード接続されていることを特徴とする。

【0012】本発明の光プリントヘッドは請求項 6 に記載のように、基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用 IC と、前記駆動用 IC とそれに対応した所定数の発光素子間を共通接続する第 1

の配線と、前記駆動用 IC とそれに対応した所定数の発光素子間を個別接続する第 2 の配線とを備えたことを特徴とする。

【0013】本発明の光プリントヘッドは請求項 7 に記載のように、前記発光素子数よりも少数の駆動用 IC は、同一構造の駆動用 IC を複数配置したものであることを特徴とする。

【0014】本発明の光プリントヘッドは請求項 8 に記載のように、前記発光素子は、発光部が複数 (n 個) 単位に複数 (p 回) に分けて時分割駆動される発光素子であることを特徴とする。

【0015】本発明の光プリントヘッドは請求項 9 に記載のように、前記駆動用 IC は、所定数 (q) の発光素子の全ての発光部を複数 (n 個) 単位に複数 (m) 回に分けて時分割駆動する IC であることを特徴とする。

【0016】本発明の光プリントヘッドは請求項 10 に記載のように、前記第 1 の配線と第 2 の配線の前記発光素子の配列長と同程度の長さを有する配線は、前記発光素子の配列の両側に第 1 の配線と第 2 の配線とで区分けして配置していることを特徴とする。

【0017】本発明の光プリントヘッドは請求項 11 に記載のように、基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用 IC と、前記駆動用 IC とそれに対応した所定数の発光素子間を接続する第 1 の配線と第 2 の配線を備え、第 1 の配線と第 2 の配線を前記発光素子の列の両側に区分けして配置するとともに、この区分けした配線の内の総幅の狭いの方の配線と同じ側に前記駆動用 IC を配置したことを特徴とする。

【0018】

【発明の実施の形態】以下本発明の実施例を図面を参照して説明する。図 1 は、駆動用 IC の回路ブロック図を示し、図 2 は、図 1 に示す回路ブロック図のうち、複数ある出力端子 DO1 ~ DO48 の 1 つの出力端子 DO1 に関係する部分を中心に抽出した要部回路ブロック図である。まず、これらの図を中心に説明する。

【0019】駆動用 IC 1 は、図 1 に示すように、素子駆動用 (後述する個別電極 28 用) の複数個 (n) の出力端子 DO で構成された個別端子部と、各出力端子 DO と接続され、これらに対して駆動信号としての所定の電流出力を与える第 1 駆動部 2 と、群選択用 (後述する共通電極 27 用) の複数 (m) 個の出力端子 CD で構成された共通端子部と、各出力端子 CD と接続され、これらを選択的に一方の電源電位、例えば接地電位 VSS に切り替える第 2 駆動部 3 を備えている。以下、 $n = 48$ 、 $m = 40$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。

【0020】第 1 駆動部 2 は、データ入力端子 SI から順次与えられるシリアル入力データ信号を一時的に記憶するデータ信号記憶回路 4 と、このデータ信号記憶回路

4から出力されたデータ信号に基づき上記各出力端子D O1~D O48に駆動信号を出力する駆動回路5と、この駆動回路5に定電流を供給する電流供給回路6と、この第1駆動部2並びに第2駆動部3の各部に所定のタイミング信号を供給するタイミング制御回路7とを備えている。

【0021】データ信号記憶回路4は、データ入力端子S Iからシリアルに入力されるデータ信号をクロック信号C L K1に同期して取り込み、データ出力端子S Oからシリアル出力する $n \times m$ (1920)ビット構成のシフトレジスタ8と、このシフトレジスタ8に取り込まれたデータ信号を、ロード信号L O A D1に基づいて並列に取り込む $n \times m$ (1920)ビット構成のラッチ回路9とを備えている。シフトレジスタ8から並列に出力される $n \times m$ (1920)個のデータ信号はラッチ回路9を介さないで記憶回路10に供給することもできるようにしている。

【0022】尚、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタ8やラッチ回路9等の構成を変更することもでき、例えば、シフトレジスタ8をアドレス指定方式のメモリで構成することもできる。

【0023】駆動回路5は、ラッチ回路9が出力する $n \times m$ 個のデータ信号から、 n 個単位にデータ信号を順次選択して出力する第1の選択回路11Aと、この第1の選択回路11Aの出力に基づいて前記出力端子D O1~D O48を介して一定の電流を出力する n (48)ビット構成の第1のドライブ回路12Aを基本的な構成として備えている。駆動回路5は、この基本構成に加えて、必要に応じて、出力電流(光量)を補正に対応するための補正データを $n \times m$ 個記憶するための補正データ記憶回路10と、この補正データ記憶回路10から出力される $n \times m$ 個の補正データ信号から、 n 個単位に補正データ信号を順次選択して出力する補正データ用の第2の選択回路11Bと、この補正データ用の選択回路11Bの出力に基づいて増加減した電流値の出力を前記出力端子D O1~D O48を介して駆動信号として出力する n (48)ビット構成の補正用の第2のドライブ回路12Bを備えることができる。

【0024】記憶回路10は、 S ビット(例えば3ビット構成)で構成される補正データを $n \times m$ 個記憶することができるように、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路10に対する補正データの書き込みは、シフトレジスタ8から並列に供給される $n \times m$ 個単位の信号に基づいて行われるようになっている。

【0025】補正データ記憶回路10の書き込みは、前もって行うことができる。すなわち、記憶回路10のみを書き込み状態としてシフトレジスタ8を介して補正データの各ビットを記憶する作業を S 回(3回)繰り返す

ことによって行うことができる。

【0026】ドライブ回路12は、図2に示すように、1つの出力端子D Oに対してそれぞれ電流出力が異なる複数(この例では4つ)の電流増幅器12a~12dを1組として、それを出力端子D Oと同数備えて構成されている。電流供給回路6から電流が供給される4つ電流増幅器12a~12dは、個々にその作動状態を制御することによって、合計出力電流を4mAをベースとして3~5mA程度の範囲で変更できるようにしている。

【0027】選択回路11は、時分割駆動を行うために前記ラッチ回路9や補正データ記憶回路10に記憶された $n \times m$ 個分のデータや補正データを、 n 個単位に選択して m 回取り出すための回路で、複数の論理ゲート回路によって構成されている。この選択回路11は、タイミング制御回路7の一部を構成する分割タイミング信号発生回路14によってゲートの開閉が制御される。

【0028】この分割タイミング信号発生回路14は、図3に波形を示すように、時分割のタイミングを規定するように外部から少数(この例では1本)の信号線を介して供給される制御信号D I V S E Lに基づいて、 m 種類の分割タイミング信号D I V 1~D I V 40を生成するための回路で、例えばカウンタによって構成することができる。分割タイミング信号発生回路14は、カウンタ以外にも、所定ビットの2進数からなる制御信号D I V S E Lに基づいて m 種類の分割タイミング信号D I V 1~D I V 40を生成するデコーダ等によって構成することもできる。このように、分割タイミング信号発生回路14は1つあるいは少数の制御信号D I V S E Lに基づいて m (40種類)の分割タイミング信号(D I V 1~D I V 40)を生成する。すなわち、分割タイミング信号の数よりも少数の信号線を用いて制御信号D I V S E Lを供給するので、外部と接続する制御信号の端子の数を削減してI Cの小型化を図ることができる。また、ワイヤボンダ配線などの外部配線数を削減することができる。

【0029】尚、分割タイミング信号発生回路14は、1ライン分のデータ信号の入力に同期してリセットすることができ、リセット信号R E S E Tを利用してのリセットの他にも、前記ロード信号L O A D1を利用してリセットを行なうこともできる。

【0030】次に、図2を参照して1つの出力端子D O1を中心にデータの流れについて説明する。ラッチ回路9に記憶された1つのI C分のデータ(1920個のオン/オフデータ)は、分割タイミング信号D I V 1~D I V 40が順次Hレベルに切り替わることによって、その分割タイミング信号D I V 1~D I V 40と接続されたアンドゲート回路のみが開く結果、その間に選択的に出力される。また、補正データ記憶回路10に記憶された3ビット構成の補正データも同様に、分割タイミング信号D I V 1~D I V 40が順次Hレベルに切り替わる

ことによって3個一組のアンドゲート回路が開く結果、その間に選択的に出力される。補正データ記憶回路10の出力は、ドライブ回路12に供給され、3つの電流増幅器12b~12dを選択的に動作させる。

【0031】次に、第2駆動部3について説明する。第2駆動部3は、出力端子CD1~CD40の1つを選択的に接地電位VSSに切り替えるための回路で、前記分割タイミング信号DIV1~DIV40によって切り替える構成としているが、前記分割タイミング信号DIV1~DIV40に同期した他の信号を用いて切り替える構成とすることもできる。

【0032】駆動用ICは、図5に示すように、端子DO1~DO48を一辺に配列し、端子CD1~CD40を対向する2辺に半分ずつに区別して配列し、データ用、クロック用、電源用等の残りの端子を残りの辺に配置することにより、類似の機能を持つ端子同士を1つの辺に集めている。端子DO1~DO48は、150DPI(DOT/INCH)前後の密度で配置している。この配置密度は、後述する基板21に形成する微細配線パターンの限界密度に基づいて設定されている。すなわち、基板21に形成する第1、第2の配線23-1、23-2の配線パターン密度が150DPI程度に設定されているので、この値とはほぼ同じ密度に設定している。

【0033】図4は、上記の駆動用IC1を備えて構成した光プリントヘッド20の一例を示す概略的な要部平面図である。この光プリントヘッド20は、絶縁性基板21の上に複数(この例ではL=20個)の発光素子22を一列に配列し、この発光素子22の片側に、発光素子22の数よりも少数の駆動用IC1を一列に配列している。駆動用IC1は、所定数q(この例では5個)の発光素子22に1つの割合で配置し、これら駆動用IC1とそれに対応したq個の発光素子22が1つのブロック(b)をつくる。そして、このブロックが基板21の長手方向に沿って複数(この例ではb=4)ブロック配列されて光プリントヘッド20を構成する。

【0034】発光素子22と駆動用IC1間には、両者を接続するための配線23が施される。配線23は、駆動用IC1の出力端子DO1~DO48に一端を接続し、他端を同一ブロック内の各発光素子22の個別電極に共通接続するマルチプレクス用の第1の配線23-1と、駆動用IC1の群選択用の出力端子CD1~CD40に一端を接続し、他端を同一ブロック内の各発光素子22の共通電極に選択的に接続する第2の配線23-2によって構成している。第1の配線23-1は、基板21に多層配線したマルチプレクス用の配線パターンと、このパターンと駆動用IC1間並びに発光素子22間を接続するワイヤボンダ線とで構成している。第2の配線23-2も、基板21に多層配線した配線パターンと、このパターンと駆動用IC1間並びに発光素子22間を接続するワイヤボンダ線とで構成している。第1の配線

23-1及び第2の配線23-2の配線パターンの発光素子22の配列長と同じ程度の長さを持つ配線は、発光素子22の列の両側に区別して別々に配置している。このようにすることにより、後述する複数の発光素子22とのワイヤボンダ配線を行ない易くすることができる。

【0035】発光素子22の列の両側に区別して別々に基板21に配置した配線23のパターンは、第1の配線23-1よりも第2の配線23-2の方が配線数は少ないが、1本当たりのパターン幅とその間隔が第2の配線23-2の方が広いので、第2の配線23-2側のパターンの総幅が第1の配線23-1側よりも広がっている。このように、駆動用IC1と発光素子22間を接続するとともに、発光素子22の両側に区別して配置された配線23-1、23-2のパターンについて、総幅の広い方を一方の側に、狭い方を駆動用IC1と共に他方に配置しているので、発光素子22を基板21の幅方向の中央寄りに配置することができる。発光素子22の列を基板21の幅方向の中央寄りに配置することにより、発光素子22の配列直線性(特に、基板21に硝子エポキシ製のものをを用いた場合)を高めることができるなど、光学的特性を向上させることができる。

【0036】基板21は、硝子エポキシ製の基板の他に、セラミック製、絶縁金属製の基板等を用いることができるが、この例では、多層配線化、長尺化が容易で、しかも低価格な硝子エポキシ製の基板を用いている。硝子エポキシ製、セラミック製、金属製の何れの基板を用いても、現状では同一面上に150DPI程度の微細配線を形成するのが限界である。尚、配線23としては、基板21の多層配線と金線等のワイヤボンダ線との組み合わせの他に、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造等を用いることもできる。

【0037】基板21の上には、前記配線23とは別に、信号用、電力供給用の複数本の配線パターン24を発光素子22の配列方向に沿って延びるように形成している。この配線の中には、隣接する駆動用IC1の端子間でデータ信号等の授受を行なうためのカスケード接続用配線を備えている。また、駆動用IC1と配線パターン24の間には、金線で構成したワイヤボンダ配線25を設けている。

【0038】発光素子22は、その上面に複数($p \times n = 384$)個の発光部26を、その長手方向に沿って1200DPI程度の配列密度で配列している。そして、この複数の発光部26は、時分割駆動できるようにそれぞれが独立して形成されており、n個の発光部26からなる群を単位に駆動できるように、複数(p)の群に区別している。この例では、発光部26の1、9、17番目を第1の群、2、10、18番目を第2の群というように、発光部26の配置順序を示す番号を分割数p(8)で割った場合の余りの数に基づいて8つの群に区

分けした場合を例示している。

【0039】そして、発光素子22は、図6に示すように、第1の群に属する発光部26に共通配線した共通電極27-1と、第2の群に属する発光部26に共通配線した共通電極27-2、…、並びに共通電極27-8の8個の共通電極27を設けるとともに、隣接する8つの発光部26に接続したn(48)個の個別電極28を設けている。共通電極27は、基板21の最高配線密度(150DPI)よりも低密度である25DPI程度の密度で配列しているが、個別電極28は、基板21の最高配線密度(150DPI)と同じ程度の配置密度を保つように、150DPI程度の密度で配列している。共通電極27と個別電極28は、発光素子22の表面に形成する多層配線の層数を削減するために、発光部26の両側に区分けし、発光素子22の長手方向に沿って配列している。

【0040】この発光素子22は、p(8)個の共通電極27とn(48)個の個別電極28に各々接続したマトリックス状配線の交点部分にLEDからなる発光部26が位置する構造となっている。よって、n個の個別電極28にデータ信号を与え、共通電極27の1つを選択することにより、n個の発光部26を同時に駆動することができ、これをp回繰り返すことにより、1つの発光素子22の駆動を行なうことができる。

【0041】個別電極28は、第1配線23-1を介して、それぞれ駆動用IC1の出力端子D01~D048に接続され、共通電極27は、出力端子CD1~CD40の内、8個の端子に選択的に接続される。

【0042】図7に示すように、1つのブロックを構成する1つの駆動用ICと、それに対応するq個(この例では5個)の発光素子22は、駆動用IC1の出力端子D01~D048がq個の発光素子22の個別電極28に共通に接続されるように第1配線23-1を介して接続されている。駆動用IC1の出力端子CD1~CD40は、q(5個)の発光素子22の各共通電極27に第2の配線23-2を介して個別に接続されている。

【0043】そして、駆動用IC1の群選択用端子CD1~40の1つを選択し、端子D01~D048に所定の信号を与えれば、q個の発光素子22の1つが選択され、その素子の発光部26を8分の1ずつ時分割で発光させることができる。したがって、これらを40回繰り返して全ての群選択用端子を選択することにより、1つのブロックの全ての発光部26を選択的に発光させることができる。

【0044】尚、1つのブロック内の発光素子22はq個(5個)で、これが4ブロックあるので、ヘッド20全体の発光部26の数は、 $b \times q \times p \times n = 4 \times 5 \times 8 \times 48 = 7680$ 個となる。

【0045】次に、上記駆動用IC1の動作を含めた上記光プリントヘッド20の動作について、図1、図2と

図3を中心に説明する。

【0046】尚、記憶回路10に記憶すべき補正データは、発光素子22の各発光部26の光量を均一にするために、予め求めた光量補正データが用いられ、これらのデータは、既に記憶回路10に記憶されているものとする。

【0047】まず初めにリセット信号RESETが供給され、これによって各部が初期状態に設定される。続いて、設定信号SETがLレベルからHレベルに切り替えられる。その結果、記憶回路10への書き込みが禁止された状態となる。

【0048】端に位置する駆動用IC1のデータ入力端子S1に1ライン分のデータ信号(7680個)が順次与えられ、これがクロック信号CLK1に同期して順次駆動用IC1のシフトレジスタ8に取り込まれる。所定数のデータ取り込みが終わると、データ出力端子SOを介して、カスケード接続された隣のICのシフトレジスタ8にデータ信号が順次与えられる。

【0049】1ライン分のデータ信号の取り込みが終わり、全ての駆動用ICのシフトレジスタ8にデータが蓄えられ、次に、ロード信号LOAD1が、所定時間Hレベルに保持され、各IC1のシフトレジスタ8に保持されたn×m個のデータ信号の入力が行われる。この時、ロード信号LOAD1の立ち上がり時点でラッチ回路9が選択(ラッチ)されるので、シフトレジスタ8に取り込まれたn×m個のデータ信号がラッチ回路9に入力されて記憶される。

【0050】ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、外部から供給される分割タイミング用の信号DIVSELに基づいて、分割タイミング信号発生回路14が分割タイミングDIV1~DIV40を選択的にLレベルからHレベルに切り替える。このタイミング期間内に、ストロブ信号(反転STB)がHレベルから所定期間Lレベルに保持される。

【0051】この分割タイミングDIV1~40の切り替わりによって、選択回路11がラッチ回路9や記憶回路10から選択して出力するデータ信号の位置が順次切り替わる。例えば分割タイミング信号DIV1によって、1番目、9番目、…のデータが選択され、分割タイミング信号DIV2によって、2番目、10番目、…のデータが選択される。

【0052】これらのデータ(必要に応じて3ビットの補正データが付加される)がドライブ回路12に与えられる。ドライブ回路12は、データ信号やそれに付加された補正データに基づいて、4つの電流増幅器12a~12dを選択的に作動させてその出力電流を出力端子DOを介して発光素子22の各個別電極28に供給する。

【0053】全ての発光素子22の個別電極28にデータ信号や補正データに応じた電流が供給可能な状態となるが、群選択端子によって選択されたn個の発光部26

10

20

30

40

50

のみが共通電極27を介して接地されているので、この例では各ブロックで1つの発光素子22が選択され、その内の8個置きの発光部26のみが選択的に発光する。

【0054】上記のような、同一ブロックに属する1つの発光素子22を所定回数に分けて分割駆動し、それを発光素子22の数だけ繰り返す時分割駆動($p \times q = m$ 分割)によって1つのブロック内での選択的な発光を行い、これを複数のブロックで同時に行なうことにより、1ラインの発光を行うことができる。これを順次繰り返すことによって、静電写真型プリンター画面分の露光を行なうことができる。

【0055】上記のように、素子内時分割駆動に対応した発光素子22を駆動するための各駆動用IC1が、群を単位とするタイミングに同期して動作する第2駆動部3を内蔵し、この駆動用IC1によって対応した発光素子22の時分割駆動を行う構成としているので、負荷の分散を図ることができる。その結果、従来のダイナミック駆動方式のように時分割駆動用(共通電極選択用)の専用ICを用いて全ての発光素子を対象とした時分割駆動を行う場合に比べて、時分割駆動用の回路に加わる負荷を低減することができる。

【0056】そして、駆動用IC1は、複数の発光素子22を時分割駆動するので、発光素子22と時分割用駆動用ICを1対1の割合で配置する場合に比べて、内部回路数を削減することができる。特に、ICの中で半数以上の面積を占有するドライブ回路について、発光素子と時分割駆動用ICを1対1の割合で配置する場合は $q \times n$ 必要であるが、上記構成では n 個に削減することができ、 $q(5)$ 分の1の削減率を達成することができる。また、発光素子とスタティック駆動用ICを1対1の割合で配置する場合は $p \times q \times n$ のドライブ回路が必要であるが、上記構成では n 個に削減することができ、 $p \times q(40)$ 分の1の大幅削減率を達成することができる。そして、駆動用IC1を従来のスタティック方式用のICと同等の形状で構成することができるので、全体的な回路構成の小型化を達成することもできる。

【0057】また、時分割駆動を行う構成でありながら、スタティック方式と同じようにデータを順次入力することができるので、従来の時分割駆動に必要とされたデータの並び替えのための回路が不要となる。また、時分割数を増加させても、その分割数よりも少数の制御信号の供給線を利用して時分割用のタイミングDIV1~DIV40を発生させるようにしているので、ICの端子数や組立て作業数の削減を図ることができる。

【0058】また、駆動用IC1は、時分割駆動に対応していながら、同じブロック内の発光素子全ての補正用データを記憶し、それを選択して出力することができるので、補正用データを用いた時分割駆動を行う場合に、記憶した補正データに基づくデータ信号の補正を容易に行うことができる。

【0059】尚、発光素子22として、発光部26を1列に配列したものほかに、千鳥配置したものや、2列以上の複数列配置したものをを用いることもできる。

【0060】また、本発明は、上記のように1つの駆動用ICとそれに接続した複数の発光素子を1つのブロックとし、このブロックを発光素子の配列方向と同方向に複数配置した光プリントヘッドに好適であるが、これ以外にも適用可能であり、例えば、前記1つのブロックのみを基本構造とする光プリントヘッドやそれに類する印字装置に適用することもできる。

【0061】また、光プリントヘッドに要求される仕様などに応じて、上記駆動用ICに接続する発光素子の構成を変更することもできる。すなわち、発光素子22の個別電極数(n)は一定に保ち、発光素子22内の群の数(p)と1ブロック内の発光素子22の数(q)を、その積が駆動用IC1の群選択用端子の数(m)と同じになるように、適宜変更することができる。例えば、分割数(p)を5とした発光素子を8個並べて1つのブロックを構成することができる。また、分割数(p)を4とした発光素子を10個並べて1つのブロックを構成することもできる。このとき、発光部の配列密度が相違する発光素子22を選択することもできるので、駆動用ICの汎用性を高めることができる。

【0062】また、上記駆動用ICは、時分割数(m)が40に設定されているが、データ入力の仕方に工夫をすることにより、光プリントヘッドに要求される印字速度等に応じて、見かけ上の時分割数(実効的な時分割数)を変更することができる。例えば、高速の印字速度が要求され、それに応じて時分割数を m よりも小さな値 k に変更する必要がある場合は、駆動用IC1に信号を供給するデータ処理回路側において、分割タイミングDIVの数を実質的に k に削減する処理を施せば良い。すなわち、分割タイミング信号発生回路14がアップカウンタ方式の場合は、分割数 k を超えると、制御信号DIVSELのクロック周波数を大きくして残りのタイミング信号DIV $k+1$ ~DIV40を極短期間に発生させるとともに、ストローブ信号(反転STB)をHレベルに保持してその短縮期間のデータ印字を禁止するようにすることができる。また、分割タイミング信号発生回路14がデコーダ方式の場合は、データ処理回路から与える複数ビットの制御信号DIVSELに所望の分割数 k に応じた変更を加えることによって、タイミング信号DIV1~DIV k のみを選択的に発生させれば良い。このようにして、駆動用IC1の時分割数(m)に変更を加えて実質的な時分割数(k)を例えば16に設定するとともに、この駆動用ICに図6に示す発光素子22を2個接続してそれを1ブロックとし、これを10ブロック配置して7680個の発光部を備える光プリントヘッドを構成すると、図3を参照して動作説明した時分割数(m)が40の場合に比べて、印字速度を $40/16 =$

2. 5倍に速めることができる。

【0063】印字速度を速める他の方法として、各発光部に流す電流値を大きくし発光出力を増加させる方式が知られている。しかしながら、電流値を増加させることができない場合、例えば、変更前の電流値が発光部の許容電流値に近い場合、発光部の通電寿命を延ばすために電流値を低く設定している場合などにおいては、上記のように実質的な時分割数を少なくして印字速度を高める方式を採用することが望ましい。

【0064】このようにすることによって、同一の駆動用ICを用いながらも、プリントヘッドに要求される印字速度の変更に対して、実質的な分割数を変更することによる対応ができ、プリントヘッドの機能変更に対処することができる。

【0065】

【発明の効果】以上のように本発明によれば、従来のスタティック駆動と同様のデータ処理手順を残しながらも、時分割駆動に対応した駆動を行なうことができ、スタティック駆動と互換性を保つことができる。また、時分割駆動に対応するので駆動用IC数の低減、ワイヤボンド数や密度の低減を行なうことができる。また、駆動用ICとそれに接続する発光素子の組み合わせを種々設定することができる。また、入力データの変更によって実質的な時分割数の変更による印字速度の変更も容易である。そしてまた、基板に配置した配線パターン*の密度*

*（解像度）が低くても高解像度の光プリントヘッドを提供することができる。そしてまた、光プリントヘッドの小型化、低価格化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る駆動用ICの回路ブロック図である。

【図2】図1の要部を示す回路ブロック図である。

【図3】同実施例のタイミングチャートである。

【図4】本発明の実施例に係る光プリントヘッドの要部平面図である。

【図5】図4の要部を示す回路図である。

【図6】本発明の実施例に係る発光素子の要部を示す概略的な平面図である。

【図7】光プリントヘッドの要部（1ブロック）の回路ブロック図である。

【符号の説明】

1 駆動用IC

20 光プリントヘッド

21 基板

22 発光素子

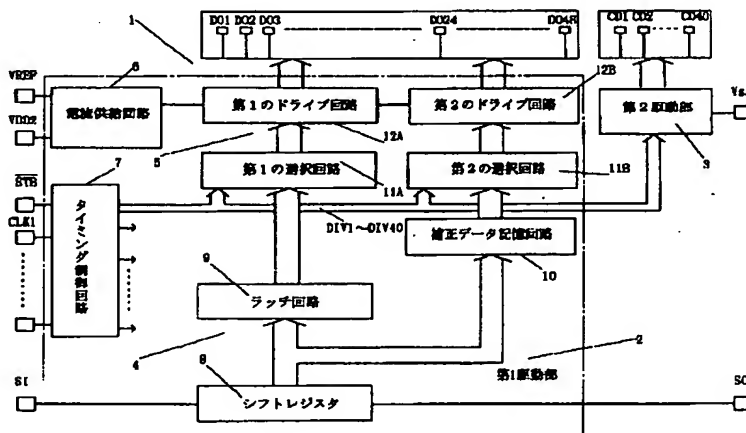
23 配線

26 発光部

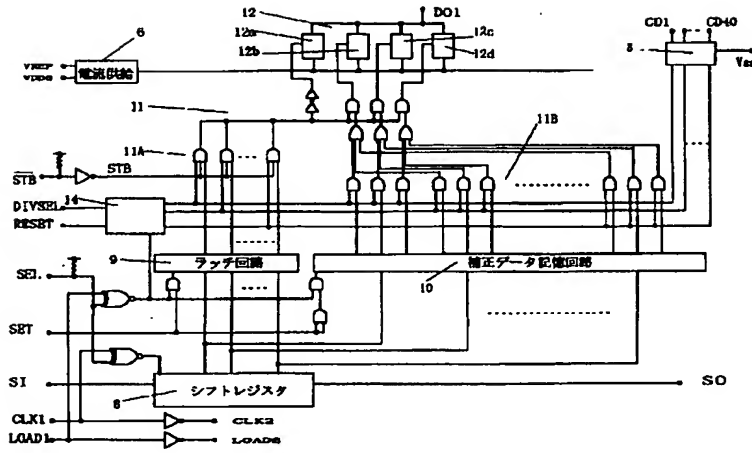
27 共通電極

28 個別電極

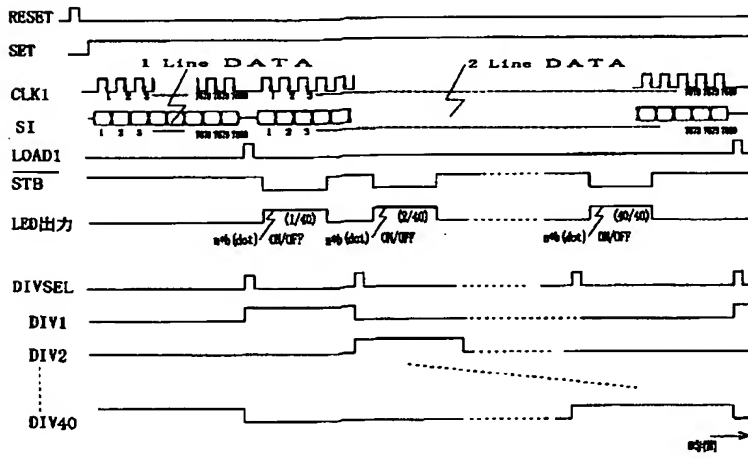
【図1】



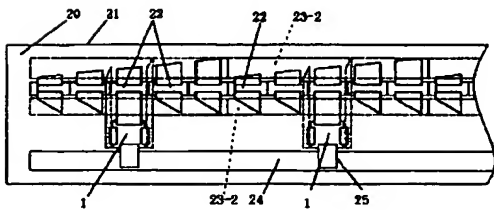
【圖2】



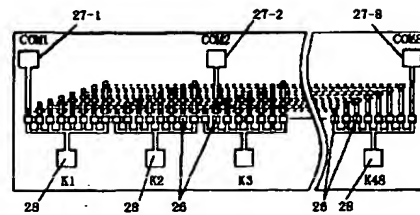
【圖 3】



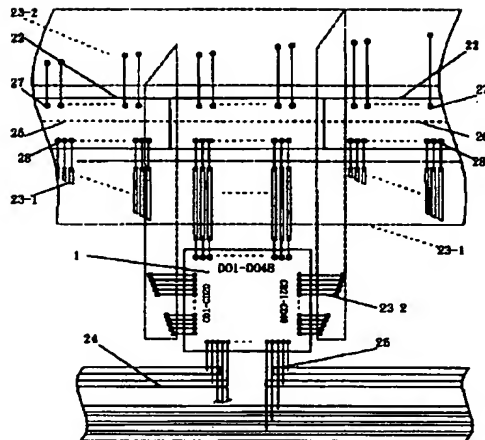
【圖4】



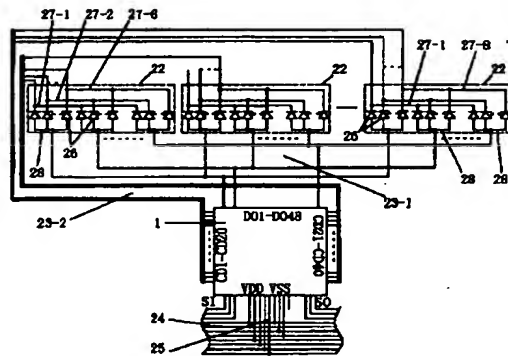
【図6】



【図5】



【図7】



フロントページの続き

F ターム(参考) 2C162 AF04 AF60 AH04 FA17 FA23
 SC051 AA02 CA08 CA11 DA03 DB06
 DB07 DB08 DB29 DB35 DC07
 5F041 AA42 AA47 BB27 B834 CB22
 DA02 DA07 DA13 DA20 FF13

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第2部門第4区分
 【発行日】平成14年8月6日(2002. 8. 6)

【公開番号】特開2001-88345(P2001-88345A)
 【公開日】平成13年4月3日(2001. 4. 3)
 【年通号数】公開特許公報13-884
 【出願番号】特願平11-265904
 【国際特許分類第7版】

B41J 2/44
 2/45
 2/455

H01L 33/00
 H04N 1/036

【FI】

B41J 3/21 L
 H01L 33/00 J
 H04N 1/036 A

【手続補正書】

【提出日】平成14年5月20日(2002. 5. 20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】このような問題を解決するために、特開平6-163980号公報においては、素子内での時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部を群pに分け、群毎の発光部に接続するように複数本の共通電極を設け、異なる群に属するp個の発光部に接続した個別電極をn個設けることによってp×n個の発光部を備える発光素子が提案されている。この発光素子によれば、p本の共通電極を時分割的に選択することによって個別電極の数を従来の1/

pに削減することができるので、駆動用ICとの接続を容易にすることができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】そこで本願出願人は、上記の点を考慮した駆動用ICについて、特開平10-226102号公報にて提案しているが、この公報に示された構成は、時分割駆動のためにデータの入力順序を変更する処理を必要とするので、データ処理が複雑化するという問題があった。また、発光素子と同数の駆動用ICを必要とするので、駆動用ICの数が多くなるという問題も有している。